

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-125135

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

G02F 1/1365

G02F 1/1333

H01L 29/786

(21)Application number : 11-304967

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.10.1999

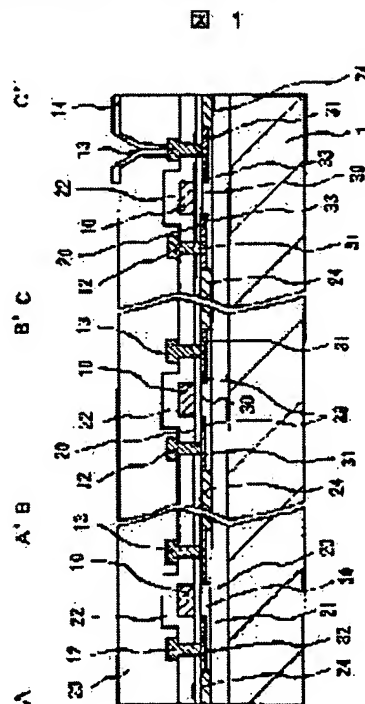
(72)Inventor : KAWACHI GENSHIRO
SHINAGAWA TAKAAKI
SATO TAKESHI
TOYODA YOSHIKI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF PRODUCING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a TFT with high reliability at a low cost in which no parasitic channel is present on the side face of a semiconductor pattern of a TFT in a TFT-LCD with a built-in driving circuit to be formed on a glass substrate.

SOLUTION: Elements are separated by using low temperature plasma oxidation to form such a structure that a gate insulating film is not in contact with the side face of the semiconductor pattern of a TFT so as to prevent a parasitic channel on the side face of the semiconductor pattern. By this method, since the side face of the semiconductor pattern is not in contact with the gate insulating film, no parasitic channel is formed on the side face. Moreover, no step is formed in the end of the semiconductor pattern so that a dense and high-quality insulating film which is inferior in the step coverage can be used, and this improves the reliability.



LEGAL STATUS

[Date of request for examination]

06.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-125135

(P2001-125135A)

(43) 公開日 平成13年5月11日(2001.5.11)

(51) Int.Cl. ⁷	識別記号	F I	7-コード [*] (参考)	
G 0 2 F 1/1365		G 0 2 F 1/1333	5 0 5	2 H 0 9 0
	1/1333		5 0 0	2 H 0 9 2
H 0 1 L 29/786	5 0 5	H 0 1 L 29/78	6 2 1	5 F 1 1 0

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平11-304967

(22) 出願日 平成11年10月27日(1999. 10. 27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 品川 隆明

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその製造方法

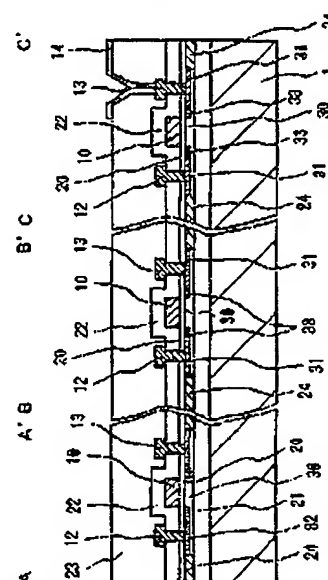
(57) 【要約】

【課題】 ガラス基板上に形成される駆動回路内蔵型TFT-LCDにおいてTFTの半導体パターンの側面の寄生チャネルがない高信頼TFTを低コストで実現する。

【解決手段】 素子間分離を低温のプラズマ酸化を使用し、TFTの半導体パターンの側面の寄生チャネルがないように、ゲート絶縁膜と半導体パターンの側面が接触しない構造とする。

【効果】 半導体パターンの側面がゲート絶縁膜に接触しないので、側面の寄生チャネルが形成されない。また、半導体パターン端部の段差がなくなるので段差残存性に劣るが、微密で高品質な絶縁膜をゲート酸化膜として用いることができるようになるので、信頼性が向上する。

図 1



(2)

特開2001-125135

1

【特許請求の範囲】

【請求項1】少なくとも一方が透明な一対の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、

前記一対の基板の一方の基板の主表面上に形成された複数の半導体薄膜パターンおよび第1の絶縁層と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、

前記一対の半導体層に接触するように形成された第2、および第3の電極とを有し、前記複数の半導体膜の側面部は前記ゲート絶縁膜と異なる絶縁膜に覆われたことを特徴とする液晶表示装置。

【請求項2】少なくとも一方が透明な一対の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、

前記一対の基板の一方の基板の主表面上に形成された複数の半導体薄膜パターンおよび第1の絶縁層と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、前記一対の半導体層に接触するように形成された第2、および第3の電極とを有し、前記複数の半導体薄膜パターンの側面部は、前記第1の絶縁層と接触することを特徴とする液晶表示装置。

【請求項3】少なくとも一方が透明な一対の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、

前記一対の基板の一方の基板の主表面上に形成された複数の半導体膜および第1の絶縁層と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、前記一対の半導体層に接触するように形成された第2、および第3の電極とを有し、少なくとも前記第1の電極と交差する部分の、前記複数の半導体膜の側面部は、前記第1の絶縁層と接触し、前記ゲート絶縁膜と接触しないことを特徴とする液晶表示装置。

【請求項4】請求項1乃至請求項3のいずれか記載の液晶表示装置において、前記一方の基板は歪み点720℃以下のガラス基板であることを特徴とする液晶表示装置。

【請求項5】請求項1乃至請求項3のいずれか記載の液晶表示装置において、前記第1の絶縁膜の膜厚は、前記半導体膜の膜厚の1.2倍を超えないことを特徴とする液晶表示装置。

【請求項6】請求項1乃至請求項5のいずれか記載の液晶表示装置において、前記第1の絶縁膜は、リンまたはボロンあるいはその両方を含有した酸化珪素膜であるこ

2

とを特徴とする液晶表示装置。

【請求項7】請求項1乃至請求項6のいずれか記載の液晶表示装置において、前記複数の半導体パターンの主表面の凹凸は最大でも10nm以下であることを特徴とする液晶表示装置。

【請求項8】請求項1乃至請求項6のいずれか記載の液晶表示装置において、前記ゲート絶縁膜の膜厚は50nm以下であることを特徴とする液晶表示装置。

【請求項9】請求項1乃至請求項6のいずれか記載の液晶表示装置において、前記一方の基板の主表面はちっ化珪素膜により被覆されていることを特徴とする液晶表示装置。

【請求項10】少なくとも一方が透明な一対の基板を有し、この基板に挟持された液晶層を有する液晶表示装置の製造方法であって、前記一対の基板の一方の基板の主表面の略全面に半導体膜を形成する工程と、前記半導体膜の所定の領域に選択的にリンまたはボロンあるいはその両方を導入する工程と、

前記リンまたはボロンあるいはその両方を導入した半導体膜の所定の領域を酸化して絶縁膜とし、前記半導体膜を複数の半導体パターンに分離する工程と、前記リンまたはボロンあるいはその両方を導入した絶縁膜および前記複数の半導体パターン上にゲート絶縁膜を形成する工程とを少なくとも含むことを特徴とする液晶表示装置の製造方法。

【請求項11】少なくとも一方が透明な一対の基板を有し、この基板に挟持された液晶層を有する液晶表示装置の製造方法であって、

前記一対の基板の一方の基板の主表面の略全面に半導体膜を形成する工程と、前記半導体膜を所定の形状の複数の半導体パターンにエッチングにより分離する工程と、前記半導体パターンのパターン端部に選択的にリンまたはボロンあるいはその両方を導入する工程と、前記リンまたはボロンあるいはその両方を導入した半導体パターンの端部を酸化して絶縁膜とする工程と、前記半導体パターン上にゲート絶縁膜を形成する工程とを少なくとも含むことを特徴とする液晶表示装置の製造方法。

【請求項12】請求項9乃至請求項11のいずれか記載の液晶表示装置の製造方法において、前記リンまたはボロンは、加速エネルギー10keV未満のエネルギーで、注入量は面積密度で $1 \times 10^{19} \text{ (cm}^{-2}\text{)}$ 以上であることを特徴とする液晶表示装置の製造方法。

【請求項13】請求項9乃至請求項11のいずれか記載の液晶表示装置の製造方法において、

450℃以下の温度で酸素を含むプラズマに晒すことにより、前記リンまたはボロンあるいはその両方を導入した半導体を酸化して絶縁膜化することを特徴とする液晶

(3)

特開2001-125135

4

表示装置の製造方法。

【請求項14】請求項9乃至請求項11のいずれか記載の液晶表示装置の製造方法において、

溶液中で陽極酸化することにより、前記リンまたはボロンあるいはその両方を導入した半導体を酸化して絶縁膜化することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置およびその製造方法に係り、特に、高い信頼性を有する薄膜半導体素子を用いた高画質のアクティブマトリックス方式の液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】OA機器等の画像情報、文字情報の表示装置として、薄膜トランジスタ（以下TFTと記す）を用いたアクティブマトリックス方式の液晶表示装置が知られている。従来この種の液晶表示装置においては低コスト化と並んで高精細化、高画質化が重要な課題である。これらの課題を解決するためにはキーデバイスであるTFTの性能向上が欠かせない。

【0003】高性能なTFTを安価なガラス基板上に形成するに際して、例えば、特開平8-157722号公報に記載されているように、TFTアクティブマトリックスを駆動する周辺駆動回路をもTFTで構成し、同一基板上に集積してコストを低減することが試みられている。

【0004】より高機能の周辺駆動回路をガラス基板上に集積できれば外部に実装する回路構成や実装工程を簡単化できるので実装コストの大幅な削減が期待できる。高機能の回路を構成するためには、より高性能なTFTが必要とされる。特に、現在周辺駆動回路集積型の液晶表示装置用のTFTとして多結晶シリコン（以下poly-Siと記す）膜上に形成したpoly-Si TFTが、期待されている。安価なガラス基板上に周辺駆動回路集積型液晶表示装置を形成するためには、TFTを形成するプロセス温度を少なくとも450℃以下に低温化する必要がある。このような低温プロセスでは例えばTFTのゲート絶縁膜の膜質が高温で形成される熱酸化膜ほどには良くできないので、ホットキャリア注入に起因する素子の劣化が問題となる。特に、最近レーザ再結晶化法を用いた高品質のpoly-Si膜形成技術の導入とともにTFT内のキャリア移動度が向上していることから、ホットキャリアによる素子劣化の解決は重要な課題となっている。いうまでもなくTFTの特性劣化は駆動回路特性の低下や画素のスイッチング素子の特性低下を通して画像のちらつきやコントラスト比低下等の表示画像劣化に直接結びつく課題である。

【0005】ホットキャリアによる素子劣化は、トランジスタのドレイン接合近傍の高電界によって引き起こされることが知られており、素子構造上の工夫によりドレイン接合電界を緩和して劣化を防止することが一般的に

行われている。

【0006】しかしながら、このような素子構造上の対策を施してもTFTのホットキャリア劣化は完全には抑えられない。これは、先にも述べたように、低温プロセスでは熱酸化膜に匹敵するような高品質の絶縁膜を得ることが難しいためである。一方、低温で高品質な絶縁膜を形成する成膜方法がいくつか提案されている。たとえば、特開昭62-71276号公報で述べられているように、高密度プラズマCVDの一種である電子サイクロトロ共鳴（ECR）プラズマCVDによりゲート絶縁膜を形成することが提案されている。

【0007】高密度プラズマCVD法としてはこのECR-CVD以外にも、誘導結合（ICP）プラズマCVDやヘリコンプラズマCVD等の幾つかの方法がある。これらの高密度プラズマCVD法によれば、室温付近の低温でも熱酸化膜に近い緻密な膜が得られることが知られている。

【0008】

【発明が解決しようとする課題】これらの高密度プラズマを用いた絶縁膜形成方法では膜表面へのイオン衝撃により膜を微密化するために、形成時のガス圧力が低い。従って、成膜の方向性が強く段差部分の被覆性に劣るという課題がある。この課題は、Si膜をエッチング加工することにより素子分離する一般的な構造のTFT素子にとって、重大な課題になる。

【0009】すなわち、ゲート酸化膜の段差被覆性が劣ることにより、ゲートソース間の絶縁耐圧が著しく低下する。また、平面部よりも側面部の方が酸化膜厚が薄くなることで側面部のしきい電圧が低下する。このため、TFT特性はあたかもしきい電圧が異なる複数のTFTが並列に接続されたようなものになり、電流がチャネル幅に比例しなくなる。また、側面の薄い酸化膜には大きなゲート電界が加わるため、この部分でホットキャリア劣化が加速されるといった課題がある。このような課題から、高密度プラズマCVDにより形成した絶縁膜は平坦部の膜質は優れるものの、実際のTFT素子には適用することが困難であった。

【0010】また、このような高密度プラズマではない通常のプラズマCVDで形成した絶縁膜を用いた場合でも、やはり側面部と平坦部の膜厚を完全に同じにすることはできないため、上述の課題は多かれ少なかれ存在する。このような課題は、TFTの相互コンダクタンスを向上するためにゲート絶縁膜の膜厚を薄くするとより顕在化する。従って、従来のコープレーナ型のTFTではどのような成膜方法を使おうとも、ゲート絶縁膜を薄くすることには限界がある。このことはMOSトランジスタのスケールリング則によればゲート長の縮小によるgm向上も望めないことを意味する。

【0011】本発明の目的は、活性層に側壁を有するTFTの持つ信頼性や性能向上の限界という課題を解決で

(4)

特開2001-125135

5

きる素子構造を有する液晶表示装置及びその製造方法を提供するものである。

【0012】

【課題を解決するための手段】本発明の特徴は、基板の主表面上に形成された複数の半導体膜および第1の絶縁膜と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、前記一対の半導体層に接触するように形成された第2、および第3の電極とを有する薄膜半導体素子において、前記複数の半導体膜の側面部は前記ゲート絶縁膜とが接触部を持たない構造である。

【0013】また、本発明の他の特徴は、基板の主表面上に形成された複数の半導体膜および第1の絶縁膜と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、前記一対の半導体層に接触するように形成された第2、および第3の電極とを有し、前記複数の半導体膜の側面部は、前記第1の絶縁膜とのみ接触し、前記ゲート絶縁膜との接触部を持たないことである。すなわち、上記半導体パターンの側面は半導体膜と同一面上に形成された上記第1の絶縁膜にだけ接触するようにした、第1の絶縁膜は半導体パターンと同一面内にあり、トランジスタのゲート絶縁膜としては作用しないので、半導体パターン側面には寄生チャネルが形成されることはない。よって、既に述べたようなパターン側面の存在に起因する課題は解決される。

【0014】また、本発明のその他の特徴は、寄生チャネルが形成されるのはゲート電極と半導体パターンが交差する部分であるので、基板の主表面上に形成された複数の半導体膜および第1の絶縁膜と、前記複数の半導体膜の少なくとも一部にゲート絶縁膜を介して相対する第1の電極と、前記半導体膜の一部に形成された第1導電型または第2導電型を有する一対の半導体層と、前記一対の半導体層に接触するように形成された第2、および第3の電極とを有し、少なくとも前記第1の電極と交差する部分の、前記複数の半導体膜の側面部は、前記第1の絶縁膜と接触し、前記ゲート絶縁膜と接触しない構造とすることである。これにより、同様な効果が得られる。第1の絶縁膜は、リンまたはボロンあるいはその両方を含有した酸化珪素膜とすることが望ましい。後述のように低温で形成することが容易になるからである。このことにより、基板として、至多点で20℃以下のガラス基板や、プラスチック基板を用いることが可能になり、表示装置全体の低コスト化が達成される。

【0015】また、このような構造を形成する製造方法として、基板の主表面の略全面に半導体膜を形成する工程と、前記半導体膜の所定の領域に選択的にリンまたはボロンあるいはその両方を導入する工程と、前記リンま

5

たはボロンあるいはその両方を導入した半導体膜の所定の領域を酸化して絶縁膜とし、前記半導体膜を複数の半導体パターンに分離する工程と、前記リンまたはボロンあるいはその両方を導入した絶縁膜および前記複数の半導体パターン上にゲート絶縁膜を形成する工程とを少なくとも含むことを特徴とする製造方法を採用する。絶縁膜に変換する半導体領域にのみ選択的にリン、ボロンまたはこれら両方を導入しておくことが望ましい。これにより、ガラス基板が使用できるような低温で半導体膜を酸化して絶縁膜化することができる。酸化の方法としては、450℃以下の温度で酸素を含むプラズマに晒すことにより、前記リンまたはボロンあるいはその両方を導入した半導体を酸化する方法を適用できる。

【0016】このような低温で50nm以上の厚さの半導体膜を完全に酸化するためには、前記リンまたはボロンを、加速エネルギー10keV未満のエネルギーで、 $1\text{E}^{18}(\text{cm}^{-2})$ 以上を導入しておくことが望ましい。このような多量の不純物を、低加速エネルギーで導入することにより、半導体膜の酸化速度が著しく増速されるため、ガラス基板が使用できるような低温で十分な酸化速度を得ることが可能となる。酸化法としては、酸素を含むプラズマに晒す方法以外に、希フッ酸溶液中で陽極酸化する方法も低温で実施できるのでガラス基板が適用可能である。また、前記第1の絶縁膜の膜厚は前記半導体パターンの膜厚の1.2倍を超えないことが望ましい。前記第1の絶縁膜は、リンまたはボロンあるいはその両方を含有した酸化珪素膜であることが望ましい。前記複数の半導体膜の主表面の凹凸は最大でも10nm以下であることが望ましい。前記ゲート絶縁膜の膜厚は50nm以下であることが望ましい。前記一方の基板の主表面は酸化珪素膜により被覆されていることが望ましい。前記リンまたはボロンは、加速エネルギー10keV未満のエネルギーで、注入量は面積密度で $1\text{E}^{18}(\text{cm}^{-2})$ 以上であることが望ましい。また、450℃以下の温度で酸素を含むプラズマに晒すことにより、前記リンまたはボロンあるいはその両方を導入した半導体を酸化して絶縁膜化することが望ましい。また、溶液中で陽極酸化することにより、前記リンまたはボロンあるいはその両方を導入した半導体を酸化して絶縁膜化することが望ましい。

【0017】基板の主表面は絶縁性であることが望ましい。基板の主表面上に形成される半導体膜とは、半導体膜と基板の間には、基板からの不純物の進入を抑制するバッファ層となる絶縁膜層が設けられている場合も含む。基板からの不純物の影響が無視できる場合は、基板に直接半導体膜を形成することもできる。

【0018】本発明のその他の特徴は以下の実施形態からも明らかとなるであろう。

【0019】

【発明の実施形態】以下、本発明の実施形態を図面

(5)

特開2001-125135

7

を用いて説明する。

【0020】（実施の形態1）図1は、本発明の第1の実施例の液晶表示装置に使用される薄膜トランジスタ（TFT）の断面図である。図1左側はCMOS周辺駆動回路に使用されるp型TFTを、図1中央はCMOS周辺駆動回路に使用されるn型TFTを、図1右側は画像表示部のTFTマトリクスに使用されるn型TFTの断面図である。

【0021】また、図2は、図1の各TFTにそれぞれ対応するTFT素子の平面図を示す。図2中A-A'、B-B'、C-C'部の断面を図1に、D-D'部の断面を図3に示す。

【0022】TFTは、歪点670℃の無アルカリガラスからなるガラス基板1上に膜厚250nmのSiO₂膜からなるバッファ層21の上に形成されている。バッファ層21はガラス基板1からのNa等の不純物の拡散を防止する役割を持つ。バッファ層21上には膜厚55nmの真性多結晶Si（以下poly-Siと記す）膜30が形成され、真性poly-Si膜30はp型TFTにおいては一對の低抵抗p型poly-Si膜32に接し、n型TFTにおいては、一對の高抵抗n型poly-Si膜33に接し、さらに一對の高抵抗n型poly-Si膜33のおおのほソース、ドレインとなる低抵抗n型poly-Si膜31に接している。高抵抗n型poly-Si膜33はLD（Lightly Doped Drain）層として作用し、poly-Si層中ドレイン近傍の横方向電界を緩和し、ホットキャリアの発生を抑制する働きを持つ。高抵抗n型層のシート抵抗値としては20KΩ～100KΩが、低抵抗poly-Si膜のシート抵抗値としては500～10000Ωが望ましい範囲である。以上の真性poly-Si膜、p型およびn型poly-Si膜はpoly-Si膜とはほぼ同等の膜厚を有するSiO₂からなる素子分離絶縁膜24によって囲われるように形成されている点に本実施例の特徴がある。膜厚70nmのSiO₂よりなるゲート絶縁膜20はこれらpoly-Si膜30、31、32、33および素子分離絶縁膜24の表面を被覆するように形成されている。したがって、図3に示すようにpoly-Si膜30の側面は素子分離絶縁膜24とのみ接し、ゲート絶縁膜とは接触しない構造となっている。真性poly-Si膜30上にはゲート絶縁膜20を介してゲート電極10が形成されている。上記部材全部を覆うようにSiO₂からなる層間絶縁膜22が形成される。層間絶縁膜22に設けたコンタクトスルーホールを介して、Ti/Au/Tiの3層金属膜よりなるドレイン電極12およびソース電極13が前記p型およびn型の低抵抗poly-Si層に接続されている。A1の下層のTi膜は低抵抗poly-Si膜とA1の間のコンタクト抵抗を、A1の上層のTi膜はソース電極と画素電極の間のコンタクト抵抗を低減するために設けている。TFT素子全体は膜厚500nmのSi₃N₄膜からなる保護絶縁膜23により被覆され、さ

8

らに画像表示部のn型TFTのソース電極13には保護絶縁膜に設けたコンタクトスルーホールを介してITOよりなる画素電極14が接続されている。本実施例のようにpoly-Si膜パターンをほぼ同じ膜厚の素子分離絶縁膜24で囲み、poly-Si膜パターン端部での段差をなくし、ゲート絶縁膜とpoly-Si膜パターン側面の接触部分を排除することにより、poly-Si膜パターン側面でゲート絶縁膜が薄くなることによる寄生チャネルの発生を防止し、素子の信頼性を向上させることができる。ここで、素子分離絶縁膜24は以下の要件を満たす必要がある。まず、ガラス基板が使用可能な低温で形成できる必要がある。これは後述する製造工程を採用することによって可能となるが、このため、SiO₂膜はリン、ボロンあるいはその両方の不純物を含有していることが望ましい。また、poly-Si膜パターン端部での段差を小さくするためにはpoly-Si膜と素子分離絶縁膜の膜厚がほぼ等しいことが望ましい。このことは、不必要なpoly-Si膜を直接酸化することによりほぼ達成できる。

【0023】また、透過型の液晶表示装置においては、光透過部の透過率が十分大きい必要がある。したがって素子分離絶縁膜は可視光領域で95%以上の透過率を有することが必要である。Siの自己酸化膜であればこの要件は満足される。また、素子間分離を完全にするためには素子分離絶縁膜は十分高い比抵抗を有することが必要である。実用上は10¹⁴Ω以上の比抵抗があればよい。これも、Siの自己酸化膜であればほぼ満足できる。

【0024】（実施の形態2）図4は、本発明の第2の実施例の液晶表示装置に使用される薄膜トランジスタ（TFT）の平面図である。図4中左側はCMOS周辺駆動回路に使用されるp型TFTの、図4中央はCMOS周辺駆動回路に使用されるn型TFTの図4右側は画像表示部のTFTマトリクスに使用されるn型TFTのそれぞれ平面図である。また、図5および図6は、図4中、符号E-E'、F-F'で示される線に沿った断面図を示す。

【0025】第2の実施例の構成は、ほぼ第1の実施例と同様であるが、素子分離絶縁膜24がpoly-Si膜パターンの周囲にだけ形成されている点に特徴がある。このような構成においても、図6からわかるようにpoly-Si膜30の側面は素子分離絶縁膜24とのみ接し、ゲート絶縁膜とは直接接触しない構造となっている。poly-Si膜パターンの周囲の素子分離絶縁膜24の最小幅はリソグラフィの精度によって決定されるが、本実施例の場合2μmとした。poly-Si膜30の側面にはゲート絶縁膜20と素子分離絶縁膜24を介してゲート電極10からの電界が加わるが、素子分離絶縁膜24の幅はゲート絶縁膜20の膜厚より大きいので、側面に形成されるチャネルの抵抗はpoly-Si膜の主面に形成される

(6)

特開2001-125135

9

19

チャネルの抵抗に比べて十分大きく実質的には問題にはならない。よって、本実施例によれば、第1の実施例と同様に寄生チャネルの発生を防止し、素子の信頼性を向上させる効果がある。

【0026】また、本実施例においては、素子分離絶縁膜24は半導体パターンの周囲部にのみ形成され、表示領域の光透過領域には存在しないので、酸化が不十分で SiO_x ($X < 2$) であるような光透過率が十分高くない素子分離絶縁膜を使用することができる。低温での酸化では透過率の高い完全な SiO_2 膜を形成するためには長時間の酸化を必要とする。本発明の構造は比較的短時間の酸化時間で形成可能であるが透過率が十分高くないサブオキサイド膜を素子分離絶縁膜として使用できるので、より高い製造効率を達成できる。

【0027】(実施の形態3) 図7は、本発明の第3の実施例の液晶表示装置に使用される薄層トランジスタ(TFT)の平面図である。図7左側はCMOS周辺駆動回路に使用されるp型TFTの、図7中央はCMOS周辺駆動回路に使用されるn型TFTを、図7右側は画像表示部のTFTマトリクスに使用されるn型TFTの平面図である。

【0028】本実施例の構成は、前記第2の実施例と類似であるが、素子分離絶縁膜24を真性poly-Si膜30とゲート絶縁膜20が交差する部分近傍にのみ設けた点に特徴がある。素子分離絶縁膜24の幅は $3\mu m$ である。図7の符号G-G'で示した線に沿う断面図は図6とはほぼ同様である。寄生チャネルの発生が問題になるのは、真性poly-Siとゲート絶縁膜が交差する部分の側面であるから、このような構成としても、効果としては第1および第2の実施例と変わらない。また、本実施例においては、素子分離絶縁膜24は半導体パターンの周囲部にのみ形成され、表示領域の光透過領域には存在しないので、酸化が不十分で SiO_x ($X < 2$) であるような光透過率が十分高くない素子分離絶縁膜を使用することができる。低温での酸化では透過率の高い完全な SiO_2 膜を形成するためには長時間の酸化を必要とする。本発明の構造は比較的短時間の酸化時間で形成可能であるが透過率が十分高くない SiO_x ($X < 2$) であるようなサブオキサイド膜を素子分離絶縁膜として使用できるので、より高い製造効率を達成できる。

【0029】(実施の形態4) 図8は、周辺駆動回路をTFTアクティブマトリクスとともに同一基板上に集積した表示装置全体の等価回路を示す。本発明のTFTよりなるアクティブマトリクス部50と、これを駆動する本発明のTFTよりなる垂直走査回路51、1走査線分のビデオ信号を複数のブロックに分割して時分割的に供給するための毎水平走査回路53、ビデオ信号Dataを供給するデータ信号線Vdr1, Vdr2, Vdr3, ...、ビデオ信号を分割ブロック毎にアクティブマトリクス側へ供給するスイッチマトリクス回路52よりな

る。

【0030】図9および図10に、本実施例のアクティブマトリクス部50の単位画素の平面図および断面図を示す。図9の符号X-X'で示した一点鎖線部での断面構造が図10に対応する。TFTの構成は図1に示した第1の実施例のものと同様である。アクティブマトリクス部50の単位画素は、ガラス基板上に形成したゲート電極10と、これに交差するように形成されたドレイン電極12と、これらの電極の交差点付近に形成されたTFTと、前記TFTのソース電極13に保護絶縁膜23に設けたコンタクトホールTH2と介して接続された画素電極14とから構成される。画素電極14の他端は保護絶縁膜23に設けたコンタクトホールTH2と介して容量電極15に接続され、容量電極15は隣接するゲート電極10との間で付加容量を形成している。

【0031】図8に示す垂直走査回路51および水平走査回路53は、シフトレジスタとバッファより構成され、クロック信号CL1, CL2, CKV、により駆動される。シフトレジスタは2相クロック(V_{cp1} , V_{cp2})とそれぞれの反転クロック(V_{cp1} , V_{cp2})でタイミングを取り、入力電圧を反転、シフトしてバッファに転送する。同時に、これが次段走査線に対応するシフトレジスタの入力電圧となる。バッファは所定の値のパルス電圧を出力し、これがアクティブマトリクス部50の走査電圧となる。

【0032】本発明の実施例のTFTをアクティブマトリクス部50および駆動回路部に用いることにより画質劣化のない高信頼の表示装置が構成できるが、駆動回路部だけまたはアクティブマトリクス部50だけに用いることもできる。

【0033】図11は、本発明の実施例に係る液晶表示装置の液晶セル断面模式図を示す。液晶層506を基準に下部のガラス基板1上には、ゲート電極10とドレイン電極12とがマトリクス状に形成され、その交点近傍に形成されたTFTを介してITOよりなる画素電極14を駆動する。液晶層506を挟んでガラス基板1に対向する対向ガラス基板508上には、ITOよりなる対向電極510、及びカラーフィルター507、カラーフィルター保護膜511、遮光用ブラックマトリクスパターンを形成する遮光膜512が形成されている。偏光板505はそれぞれ一對のガラス基板1, 508の外側の表面に形成されている。液晶層506は液晶分子の向きを設定する下部配向膜OR11と、上部配向膜OR12の間に封入され、シール材SL(図示せず)によってシールされている。下部配向膜OR11は、ガラス基板1側の保護絶縁膜23の上部に形成される。対向ガラス基板508の内側の表面には、遮光膜512、カラーフィルター507、カラーフィルター保護膜511、対向電極510および上部配向膜OR12が順次積層して設けられている。この液晶表示装置はガラス基板1側と対

11

向ガラス基板508側の層を別々に形成し、その後上下ガラス基板1, 508を重ねあわせ、両者間に液晶506を封入することによって組立てられる。バックライトBLからの光の透過を画素電極14部分で制御することによりTFT駆動型のカラー液晶表示装置が構成される。画素電極14を駆動するTFTおよびこれを駆動する駆動回路のTFTとして、以上に述べた本発明の実施例の半導体素子を用いることにより、高信頼、高画質のTFT方式透過型液晶表示装置を実現できる。

【0034】本実施例は透過型液晶表示装置であるので、素子分離絶縁膜24が光が透過する。このため、素子分離絶縁膜24は十分高い光透過率を必要とする。実用的には可視領域で95%以上の透過率を待てば十分である。また、本発明の素子構造は透過型液晶表示装置だけでなく、反射型液晶表示装置にも適用可能である。図11において、画素電極14にITOではなく、Alのような反射率の高い金属電極を用い、ガラス基板1下部の偏光板505とバックライトBLを除くことにより反射型の液晶表示装置が実現できる。ただし、この場合には素子分離絶縁膜24を光が透過しないので、素子分離絶縁膜の光透過率は問題にはならない。素子間のリーク電流が十分低いという要件を満たせば透過率の低い絶縁膜も使用可能である。

【0035】(実施の形態5) 図1に示した実施例のTFTの製造工程を図12～図17を用いて説明する。図12～図17左側は駆動回路に用いるp型TFTを、図12～図17右側は駆動回路内のn型TFTの製造工程をそれぞれ示す。アクティブマトリックス表示部50に用いられるn型TFTも同様な構造であるのでここでは図示しない。

【0036】図12に示すように、歪点670℃の無アルカリガラス基板1上にパッシブ絶縁膜となるSiO₂膜よりなるパッシブ層21をプラズマCVD法により300nm堆積し、続いてプラズマCVD法により非晶質Si(a-Si)膜を55nm堆積する。パッシブ絶縁膜としてはSiO₂、以外にSi₃N₄等も用いることができる。Si₃N₄を用いることにより、ガラス基板1からのNa等の不純物の拡散をより効果的に抑制できる。また、a-Si膜の形成には減圧CVD法やスパッタ法を用いてもよい。次にa-Si膜にXeClエキシマレーザ光(波長308nm)を照射して再結晶化して多結晶Si(poly-Si)膜30を得る。

【0037】次に、図13に示すように、poly-Si膜上に、周知のフォトリソグラフィ法により所定の形状のホトレジストパターンPRを形成する。次に、ホトレジストパターンPRをマスクとして、poly-Si膜にリンイオンを注入する。注入には非質量分離方式のイオン注入装置を用い、Heで希釈した1%PH₃ガスのプラズマから引き出したリンを含むイオンを加速電圧5kV、打ち込み量 5×10^{13} (cm⁻²)で注入した。ここで、打

(7)

特開2001-125135

12

ち込み量はイオン電流と打ち込み時間の積から算出される全イオン量であり、Pのイオン密度はこの約1/3程度である。

【0038】次に、図14に示すように、ホトレジストパターンPRを残したまま、基板表面をO₂プラズマに曝して、リンを打ち込んだpoly-Si膜を酸化してリンガラス(PSG)膜に乾燥し素子分離絶縁膜24とする。これにより後にTFTとなるpoly-Si膜パターンをエッチングすることなく分離できる。打ち込む不純物としてはリン以外にボロンを用いてもよいし、リン、ボロンの両方を用いてもよい。この場合には形成される素子分離絶縁膜24はそれぞれボロンガラス(BSG)、ボロンリンガラス(BPSG)膜になる。通常、O₂プラズマによるSiの酸化速度はホトレジストが使用できる150℃以下の低温では非常に遅く、かつ形成される酸化膜厚には限界があるため、poly-Si膜30すべてを酸化して絶縁体化することは不可能である。しかし、本実施例のように、あらかじめpoly-Si膜に 1×10^{19} (cm⁻³)以上の多量の不純物を打ち込んでおくことにより、酸化速度が増大し、室温においてもpoly-Si膜全てが酸化されることを発明者らは見出した。このことにより、ガラス基板が使用できるような低温でも酸化による素子分離が可能となった。また、酸化法としてはプラズマを用いる方法以外に、溶液中で酸処理してもよい。

【0039】次に、図15に示すように、プラズマCVD法によりゲート絶縁膜となるSiO₂膜20を70nm堆積しさらにスパッタリング法によりNbを250nm堆積する。本発明の構造とすることにより、図15からもわかるように、ゲート絶縁膜20が形成される面は平面であり、パターンの端部と接触部を持たない。したがって、膜の段差接合性に劣るような膜でもゲート絶縁膜として使用可能になる。プラズマCVDにおいてはより高パワー低ガス圧力で膜表面へのイオン衝撃を多くして膜を緻密化するような条件を選択することが可能となる。さらには、ECRプラズマCVDやヘリコンプラズマCVDなどの高密度プラズマCVD法をもちいることができるので、より高品質のSiO₂膜を低温で形成できる。このことは素子の信頼度向上に寄与する。

【0040】次に、図16に示すように、ゲート電極10を所定の形状にパターニングした後、所定のホトレジストパターンを形成しイオン注入する方法を繰り返すことにより、高抵抗n型poly-Si層33、低抵抗n型poly-Si層31、低抵抗p型poly-Si層32を形成する。高抵抗n型poly-Si層33へのリンの注入量は 1 E^{14} (cm⁻²)、低抵抗n型poly-Si層31へのリンの注入量は 1 E^{13} (cm⁻²)、低抵抗p型poly-Si層31へのボロンの注入量は 1 E^{11} (cm⁻²)とし、質量分離型のイオン注入装置を用いた。次に、基板を450℃で5分熱処理することにより不純物を活性化する。注入した不純物を活性化する、不純物活性化法としては通常の熱処理

(8)

特開2001-125135

13

以外にランプを用いたラビッドサーマルアニール(RTA)法を使用することも可能である。

【0041】次に、図17に示すように、プラズマCVD法により層間絶縁膜22となるSiO₂膜を400nm堆積し、コンタクトホールを開孔する。次に、スパッタリング法によりTi/A1/Tiよりなる3層膜を500nm堆積し所定の形状にパターニングしてソース電極13、ドレイン電極12を得る。

【0042】次に、図18に示すように、プラズマCVD法により保護絶縁膜23となるSi₃N₄を500nm堆積し図示しないコンタクトホールを開孔する。最後に、スパッタリング法によりITO膜を70nm堆積し所定の形状にパターニングして画素電極14(図示せず)を得る。

【0043】本実施例によれば、低温で高信頼のTFTを安価なガラス基板上に作製できるので、液晶表示装置の信頼度向上および製造コスト低減を達成できる。

【0044】(実施の形態6)上記の実施例では、低温でpoly-Si膜を酸化するため不純物をあらかじめSi膜に導入したが、ホトレジストをマスクに用いなければ、必ずしも不純物を導入する必要はない。以下、そのような実施例を図18~図20を用いて説明する。

【0045】図18に示すように、歪点670℃の無アルカリガラスよりなるガラス基板上1にパフファ絶縁膜となるSiO₂膜からなるパフファ層21をプラズマCVD法により300nm堆積し、続いてプラズマCVD法により非晶質Si(a-Si)膜301を55nm堆積する。更にプラズマCVD法によりa-Si上にSi₃N₄膜25を35nm形成し所定の形状にパターニングする。

【0046】次に、図19に示すように、基板を350℃に加熱しO₂プラズマに曝すことにより、パターニングされたSi₃N₄膜25に覆われていないa-Si膜を酸化して、素子分離絶縁膜24を形成する。Si膜はpoly-Si膜に比べ酸化速度が速いため、不純物を導入しなくても基板を加熱することにより、膜全部を酸化することができる。

【0047】次に、図20に示すように、パターニングされたSi₃N₄膜25を残したまま、XeClエキシマレーザー光(波長308nm)を図中の矢印方向に走査するように照射して、a-Si膜301を再結晶化して多結晶Siよりなる真性poly-Si膜30を得る。パターニングされた真性Si₃N₄膜25をa-Si膜の上に残してレーザー照射することにより形成される真性poly-Si膜30の表面の凹凸が抑制されるので、より表面が平坦な真性poly-Si膜30を得ることができる。

【0048】以下、ゲート絶縁膜、ゲート電極を形成する工程以降は前記の実施例と同様であるので省略する。

【0049】本実施例によれば、選択酸化のためのマスクをそのままレーザーアニール時の保護膜として使用する

14

ことでより平坦なpoly-Si膜を形成できる。特にpoly-Si膜の凹凸を10nm以下と小さくすることで、段差被覆性には劣るが緻密で良質な酸化膜をゲート絶縁膜として使用できるので、ゲート絶縁膜の絶縁耐圧を向上できる。よって、液晶表示装置の信頼度向上および製造コスト低減を達成できる。

【0050】実施例では、歪み点(歪点温度)670℃の無アルカリガラス基板を用いているが、歪点温度は670℃に限られない。TFTを形成するプロセス温度が450℃程度以下にあるので、それに耐えられるものであればよい。したがって、歪点温度約500℃以上約720℃以下で、プロセス温度450℃に耐えられるガラス基板を使用することが望ましい。ガラス基板のコストを低減することができる。プロセス温度が下がれば下がるだけそれだけ歪点温度の低いガラス基板を使用することが可能となるので、よりガラス基板のコストを低減することができる。以上の実施例によれば、Siパターン側面の寄生チャネルのない高信頼のTFTを低温で形成可能なので、画質劣化のない液晶表示装置を低コストで製造することが可能になる。

【0051】

【発明の効果】本発明によれば、活性層に側壁を有するTFTの持つ信頼性や性能向上の限界という課題を解決できる素子構造を有する液晶表示装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの断面図。

【図2】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの平面図。

【図3】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの断面図。

【図4】本発明の第2の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの平面図。

【図5】本発明の第2の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの断面図。

【図6】本発明の第2の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの断面図。

【図7】本発明の第3の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの平面図。

【図8】本発明の第3の実施例にかかる液晶表示装置の全体構成図。

【図9】本発明の第3の実施例にかかる液晶表示装置の画素の平面図。

【図10】本発明の第6の実施例にかかる液晶表示装置の画素の断面図。

【図11】本発明の実施例にかかる液晶表示装置のセル断面図。

【図12】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面

(9)

特開2001-125135

15

16

図。

【図13】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面図。

【図14】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面図。

【図15】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面図。

【図16】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面図。

【図17】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの製造工程を示す断面図。

【図18】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの別の製造工程を示す断*

* 面図。

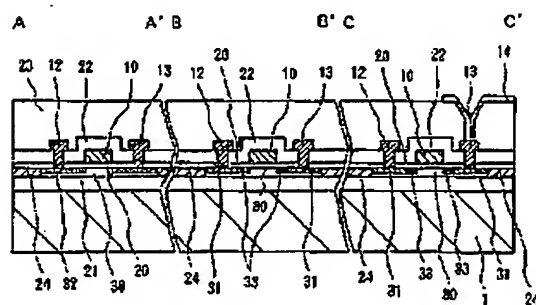
【図19】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの別の製造工程を示す断面図。

【図20】本発明の第1の実施例にかかる液晶表示装置に用いられる薄膜トランジスタの別の製造工程を示す断面図。

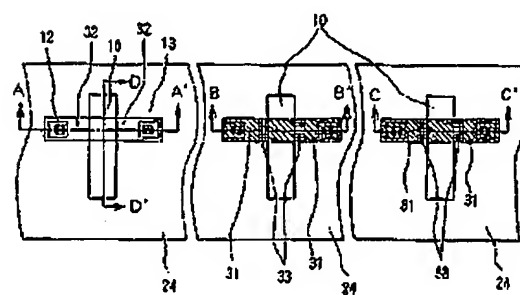
【符号の説明】

1…ガラス基板、10…ゲート電極、12…ドレイン電極、13…ソース電極、14…画素電極、15…容量電極、TH、TH1、TH2…コンタクトホール、20…ゲート絶縁膜、21…パッファ層、22…層間絶縁膜、23…保護絶縁膜、24…素子分離絶縁膜、25…Si₃N₄膜、301…a-Si膜、30…真性poly-Si膜、31…低抵抗n型poly-Si層、32…低抵抗p型poly-Si層、33…高抵抗n型poly-Si層、51…垂直走査回路、53…水平走査回路、52…スイッチマトリクス回路。

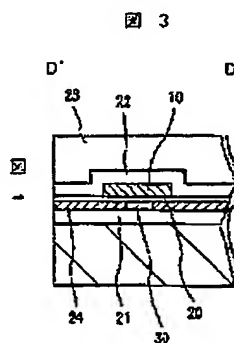
【図1】



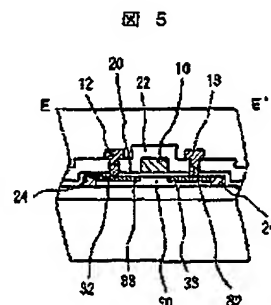
【図2】



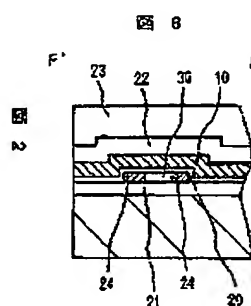
【図3】



【図5】



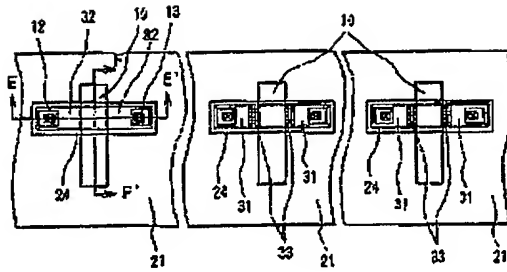
【図6】



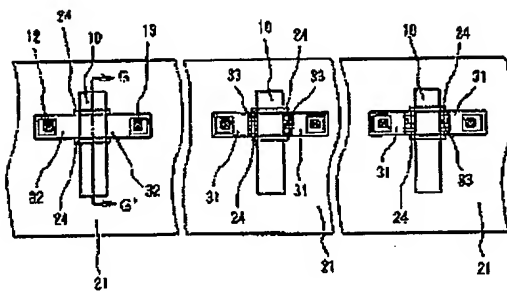
(10)

特開2001-125135

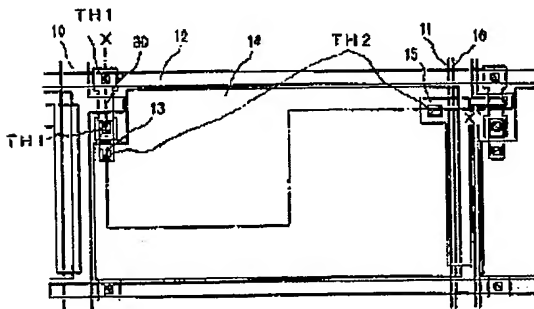
【図4】



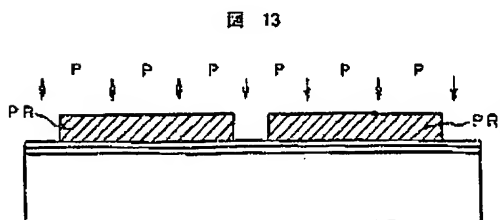
【図7】



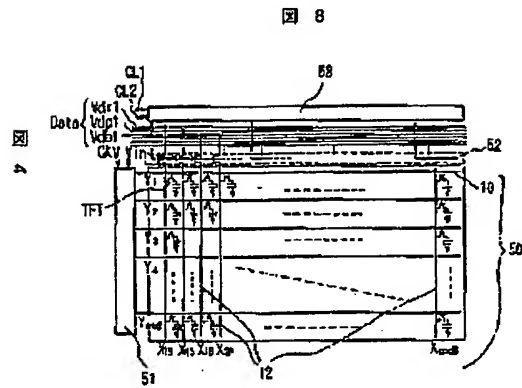
【図9】



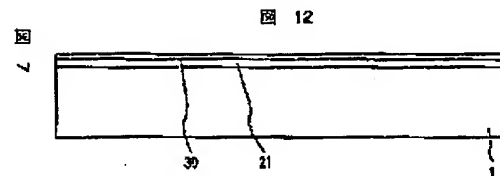
【図13】



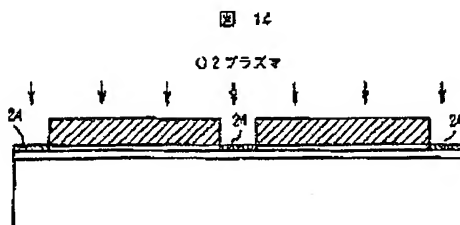
【図8】



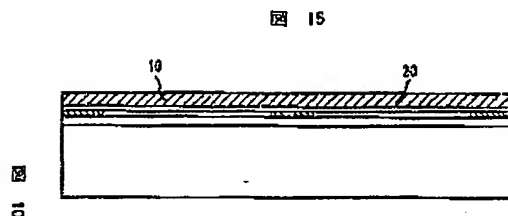
【図12】



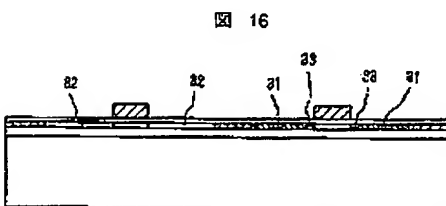
【図14】



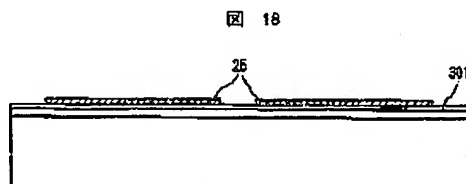
【圖15】



【圖 16】



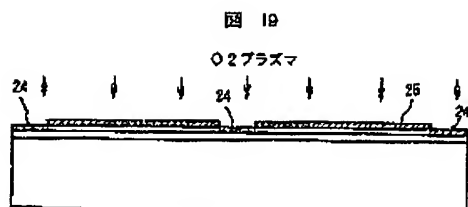
【圖 18】



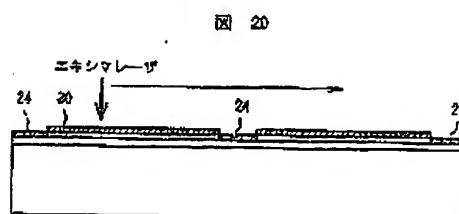
(12)

特開2001-125135

【図19】



【図20】



フロントページの続き

(72)発明者 佐藤 健史
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 (72)発明者 奥田 善章
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

F ターム(参考) 2H090 HA05 HB03X HC03 HC10
 HC13 HC15 HC17 HC18 HC19
 HD03 JB02 JC07 JD09 JD14
 KA05 LA04
 2H092 GA59 JA25 JA29 JA38 JA42
 JA44 JB13 JB23 JB32 JB33
 JB38 JB57 JB63 JB69 MA08
 MA14 MA15 MA16 MA18 MA19
 MA20 MA27 MA35 MA37 MA41
 NA22 NA23 NA25 NA27 PA06
 5F110 AA30 BB01 BB04 CC02 DD02
 DD13 EE02 EE44 FF02 FF03
 FF30 GG02 GG13 GG43 GG45
 GG47 HJ01 HJ04 HJ13 HJ22
 HJ23 HL03 HL04 HL07 HL12
 HL23 HM15 NM01 NM02 NM23
 NM24 NM35 NM41 NM52 PF03

Serial no. 10/798,571.
 filed on 12 March 2004

Reg. No. 27,774
 R. E. BUSHNELL
 ATTORNEY AT LAW

1522 K STREET, N.W., SUITE 300
 WASHINGTON, D.C. 20005-1202
 TELEPHONE (202) 408-9040
 FACSIMILE (202) 289-7100
 E-MAIL: REBUSHNELL@AOL.COM